

MODELLAZIONE COMPORTAMENTALE DELLE PORTE DI INGRESSO E USCITA E DELLA RETE DI ALIMENTAZIONE DI CIRCUITI DIGITALI INTEGRATI

Flavio G. Canavero, Ivan A. Maio, Igor S. Stievano, L. Rigazio

Politecnico di Torino
Dipartimento di Elettronica
Corso Duca degli Abruzzi, 24, 10129, TORINO

Questa memoria riassume le più recenti attività di ricerca svolte dall'Unità di Torino (Elettronica) nel campo della modellazione di circuiti digitali integrati per la verifiche di Compatibilità Elettromagnetica e dell'Integrità di Segnale in sistemi elettronici ad alte prestazioni.

In particolare, lo studio si è concentrato sulla caratterizzazione sperimentale e sull'impiego di metodologie di modellazione comportamentale delle porte di ingresso e uscita e della rete di alimentazione di memorie di tipo Flash o DDR largamente impiegate in dispositivi commerciali di tipo SiP (System-in-Package) per applicazioni multimediali.

L'attività di caratterizzazione si è svolta conducendo misure on-board e on-chip su wafer dei parametri scattering delle strutture di alimentazione delle memorie. L'attività di modellazione si è invece orientata alla stima di modelli definiti da equivalenti circuitali e rappresentazioni parametriche ottenuti da misure transitorie e in frequenza alle porte dei dispositivi. La buona accuratezza dei modelli proposti è stata verificata confrontando le loro risposte con le misure sperimentali e con i risultati di simulazione circuitale effettuata a partire da una descrizione fisica di dettaglio del circuito integrato. La Figura 1 riporta un esempio di validazione dei modelli per i buffer di uscita di una memoria CMOS di tipo Flash (tecnologia 65nm).

I risultati dello studio sono stati pubblicati in [1,2].

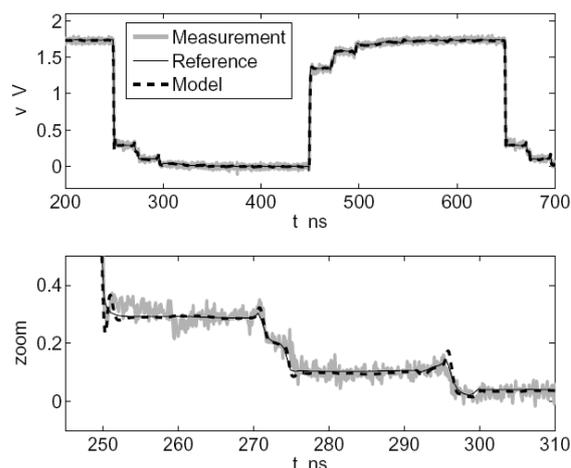


Figura 1. Forme d'onda della tensione di uscita di un buffer di una memoria Flash connesso ad una struttura di interconnessione distribuita.

Riferimenti

- [1] I.S. Stievano, I.A. Maio, L. Rigazio, F.G. Canavero, R. Izzì, A. Girardi, T. Lessio, A. Conci, T. Cunha, H. Teixeira, J.C. Pedro, "Characterization and modeling of the power delivery networks of memory chips," Proc. of the 13th Signal Propagation on Interconnects, SPI, Strasbourg, F, May 12-15, 2009.
- [2] I.S. Stievano, L. Rigazio, I. A. Maio, A. Girardi, R. Izzì, F. Vitale, T. Lessio, "Modeling of IC power supply and I/O ports from measurements," Proc. of 18th IEEE Topical Meeting on Electrical Performance of Electronic Packaging and Systems, EPEPS, Portland (Tigard), Oregon, pp. 85-88, Oct. 19-21, 2009.